

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150086  
(43)Date of publication of application : 02.06.1998

(51)Int.CI. H01L 21/66  
G01R 31/26  
G01R 31/302

(21)Application number : 09-181185 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>  
(22)Date of filing : 07.07.1997 (72)Inventor : JERRY ALLAN CASH  
JAMES CHAN-SIN SAN

(30)Priority  
Priority number : 96 683837 Priority date : 18.07.1996 Priority country : US

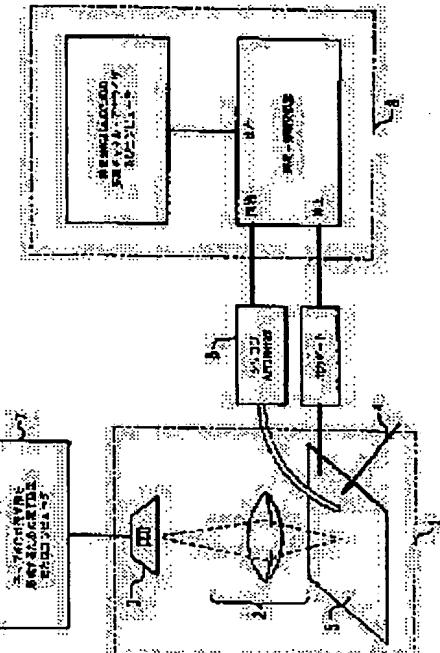
## (54) NONINVASIVE OPTICAL METHOD FOR MEASURING INTERNAL SWITCHING TIME AND OTHER DYNAMIC PARAMETERS OF CMOS CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To determine the switching time of an element in an integrated circuit and other dynamic information by acquiring a periodic optical emission from the integrated circuit operating with a time variant internal current and analyzing the optical emission.

SOLUTION: A microscope 2 is arranged in a dark space 1 and an imaging optical detector 3, e.g. a charge coupled element, is arranged on the focus plane of the microscope 2. A semiconductor integrated circuit 5 to be evaluated is then mounted in the microscope 2 and fed with power from an appropriate power supply.

Subsequently, light emitted from a single part of the semiconductor integrated circuit 5 is received by an optical probe and detected by an optical detector 6 before an optical waveform is measured by means of a reader 8. On the other hand, a periodic optical emission from the semiconductor integrated circuit 5 is received by the imaging optical detector 3 and read out by means of a reader 7 which analyzes and outputs information related to the semiconductor integrated circuit 5.



REST AVAILABLE COPIES

### LEGAL STATUS

[Date of request for examination] 17.09.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3405660

[Date of registration] 07.03.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-150086

(43)公開日 平成10年(1998)6月2日

(51) Int.Cl.<sup>8</sup>  
 H 01 L 21/66  
 G 01 R 31/26

識別記号

31/302

F I  
 H 01 L 21/66  
 G 01 R 31/26  
 31/28

L  
 G  
 B  
 L

審査請求 未請求 請求項の数18 OL (全 11 頁)

(21)出願番号 特願平9-181185

(22)出願日 平成9年(1997)7月7日

(31)優先権主張番号 08/683837

(32)優先日 1996年7月18日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション  
 INTERNATIONAL BUSINESSES MACHINES CORPORATION  
 アメリカ合衆国10504、ニューヨーク州  
 アーモンク(番地なし)

(72)発明者 ジェリー・アラン・カッシュ  
 アメリカ合衆国10570、ニューヨーク州ブ  
 レザントビル、グランドビュー・アベニュー  
 - 29

(74)代理人 弁理士 坂口 博(外1名)

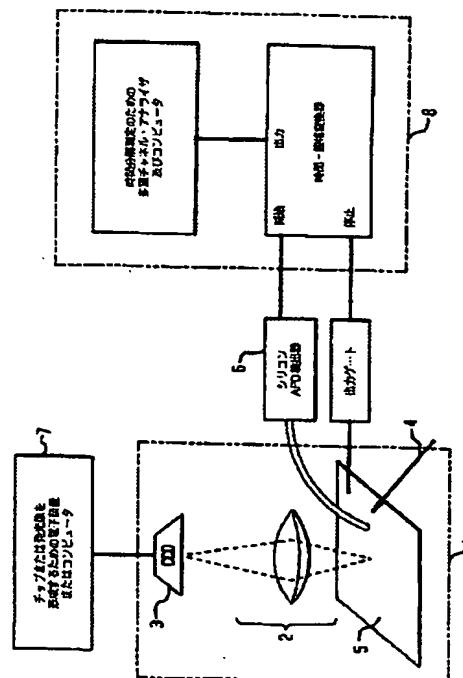
最終頁に続く

(54)【発明の名称】 CMOS回路の内部スイッチング及び他の動的パラメータを測定する非侵襲性光学方法

(57)【要約】 (修正有)

【課題】 集積回路内の素子のスイッチング時間及び他の動的情報を判定する。

【解決手段】 適切な光学顕微鏡を、100 psecを上回る時間分解能、及び $60 \mu m$ を上回る空間分解能を有する光子カウント多重チャネル光学検出器に結合し、スイッチング事象の相対位相を含む完全な時間情報が、回路内の素子から獲得される。時間及び空間分解能は、少なくとも10 GHzのスイッチング速度を有するCMOS集積回路のタイミング問題の分析に好適である。光学顕微鏡と、集積回路を構成する個々の素子による電気スイッチング間に発光される光の光学波形または空間像を提供できる検出器との組合せを含み、テスト下の集積回路の全部または一部の像が、顕微鏡により検出器に提供される。検出器からの空間及び時間情報が、回路内の素子に関するスイッチング時間及び他の動的情報の判定に使用される。



**【特許請求の範囲】**

【請求項1】集積回路の内部タイミングを測定する方法であって、時間変化する内部電流により動作する前記集積回路から、周期的な光学発光を獲得するステップと、前記発光を分析し、前記集積回路に関する情報を提供する分析ステップと、を含む、方法。

【請求項2】前記情報が光学像の形式である、請求項1記載の方法。

【請求項3】前記情報が1つ以上の光学波形の形式である、請求項1記載の方法。

【請求項4】前記分析ステップが、光学サンプリングにより前記発光を時間解析することにより達成される、請求項1記載の方法。

【請求項5】前記光学サンプリングが光子タイミングである、請求項4記載の方法。

【請求項6】前記光学サンプリングがアップ・コンバージョンである、請求項4記載の方法。

【請求項7】前記光学サンプリングがストリーム・カメラを用いて実行される、請求項4記載の方法。

【請求項8】前記発光が前記集積回路の正面から測定される、請求項1記載の方法。

【請求項9】前記発光が前記集積回路の背面から測定される、請求項1記載の方法。

【請求項10】前記光学像が、別々の時間間隔を含む一連の像から形成される、請求項2記載の方法。

【請求項11】前記光学像が、異なる外部刺激を受ける同一の前記集積回路の光学像と比較される、請求項2記載の方法。

【請求項12】集積回路の内部タイミングを測定する装置であって、時間変化する内部電流により動作する前記集積回路から、周期的な光学発光を獲得する手段と、前記発光を分析し、前記集積回路に関する情報を提供する分析手段と、を含む、装置。

【請求項13】前記獲得手段が光子カウント光電子増倍管を含む、請求項12記載の装置。

【請求項14】前記獲得手段がアバランシェ・フォトダイオードを含む、請求項12記載の装置。

【請求項15】前記獲得手段が電荷結合素子を含む、請求項12記載の装置。

【請求項16】前記獲得手段がイメージング・マイクロチャネルプレート光電子増倍管を含む、請求項12記載の装置。

【請求項17】前記分析手段が時間-振幅変換器及び多重チャネル・アナライザを含む、請求項12記載の装置。

【請求項18】前記分析手段が時間-振幅変換器及び3

軸多重チャネル・アナライザを含む、請求項12記載の装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、集積回路内の素子のスイッチング時間及び他の動的情報を判定するための方法及び装置に関する。

**【0002】**

【従来の技術】複雑な高速集積回路の設計及び形成の一部として、しばしば、回路を構成する個々の素子の論理状態スイッチングを観測することが重要である。回路タイミングに関する情報は、高周波動作、伝播遅延及びクリティカル・タイミング・バスに関する問題を診断する上で有用である。これまでに電子ビーム・テスト、電気光学的サンプリング、光伝導サンプリング、及び光電子発光サンプリングなどの、動的回路測定を行うための数多くの技術が開発してきた。これらの全ての技術に共通な点は、テストを行うために外部プローブ（電子ビームまたはレーザ）を必要とすることである。この要求は、一度に複数の素子のタイミングを決定することを不可能にする。様々な現実的な理由により、電子ビーム・テストだけが、市販のチップ開発において広く使用されている。これらの理由の主なものは、他の技術がチップ上で、従来のシリコン処理と両立しない特殊な構造または材料を要求することである。電子ビーム・テストは、電子ビームにより正面において関連する金属相互接続をアクセスする必要性により制限される。追加の金属相互接続層及び“フリップ・チップ”・ボンディングにより、論理回路が一層複雑となり、電子ビーム・テストの使用が問題となる。

【0003】診断ツールにおいて有用な特徴の概要は、チップ上の多くの素子を同時に測定する能力、チップ準備または設計における特殊条件の不要性、素子を破壊しない技術、ウェハの正面または背面から測定する能力、及び10GHzを超える内部スイッチング速度を測定する能力である。こうしたツールは、素子性能の向上、並びに試作及びデバッグを含む素早いチップ開発の両方につながる情報を提供する。例えばチップの特定の素子またはサブ回路が、完全な回路の全体速度を制限すると識別される場合、チップのこの部分の再設計またはプロセス変更が、高速クロックで動作するチップの歩留り向上し、生産されるチップの性能及び経済的な価値を向上させる。

【0004】電流が電子素子を連続的に通過するとき、光が発光されることが数年に渡って知られており、これはシリコンなどの間接禁止帯材料から形成される電子素子、並びに電界効果トランジスタなどの多数キャリア素子でさえも当てはまる。これらの発光を個々の素子内の故障または長期劣化を探るために使用する、多数の発明が存在する。

【0005】米国特許第4680635号は、集積回路上の欠陥素子により連続的に発光される光の検出を故障解析手段として取り扱う。この光はなだれ降伏、ラッチアップ、損傷した誘電体を通じる電流伝導、または静電放電の結果として発光される。この特許は、イメージ増倍管を“固定時間使用可能にし、イメージの時間分解能を提供する”ことを扱っているが、時間分解の目的がホット電子により誘起される長期劣化を識別する支援することである。この特許及び従来技術では、用語“時間変化”は、素子の故障または劣化による発光の減衰、または増強を指し示し、回路の論理スイッチングに同期する正常動作回路からの動的発光を指し示すのではない。この特許の限定範囲は、時間分解能を獲得するために選択される特定の手段、すなわち増倍管を電子的にゲートする手段に見い出すことができる。増倍管をゲートすることにより獲得可能なこの時間分解能は、最新の動作素子の高速スイッチング（1GHz以上）を測定するには桁違いに遅い。こうしたゲーティング技術はまた、こうした使用可能な光子の非能率的な使用を非常に困難にする。

【0006】米国特許第4755874号及び同第4811090号は、米国特許第4680635号で述べられる連続微弱発光を検出する支援をする改善されたイメージ処理手段を提供する。米国特許第5006717号は、ホット・キャリアに関連付けられる光学発光のスペクトル特性及び供給電圧依存性を測定することにより、集積回路の動作寿命を予測する方法について述べている。

【0007】上述の特許の各々は、シリコン集積回路からの光学発光を回路の診断として使用することを考慮するが、いずれも完全な機能素子を有する回路の回路タイミング分析を扱わない。代わりに、これらの特許は、連続的なまたは準連続的な光学発光の使用により、ホット・キャリア効果により劣化した、または既に故障した回路を評価することを示す。

#### 【0008】

【発明が解決しようとする課題】本明細書で開示されるように、本発明者は正常に動作する（例えば完全に機能する）CMOSが、論理状態スイッチングに一致する光のトランジエント・パルスを発光することを見出した。更に、本明細書で開示されるように、正常に機能する素子からのこれらの光のトランジエント・パルスは、こうした素子のタイミングに関する有用な情報を生成するために使用される。

#### 【0009】

【課題を解決するための手段】機能中の集積回路内のゲートの正常な電気スイッチングにより生成される光学発光は、回路の内部時間応答に関する動的情報を決定するために使用される。10Opsecを上回る時間分解が可能な好適な多重チャネル光検出器の使用により、チップ上の多くの素子から同時に時間情報が獲得されうる。この時間情報は、例えば回路上の各素子の論理状態の順次進化を含みうる。時間分解能は、少なくとも10GHzまでのスイッチング速度を有する現行の及び将来の集積回路において、タイミング問題を決定するのに好適である。

【0010】発光される光の光学波形は、素子及び回路内の電圧の時間変化を決定するために使用される。本明細書では、用語“光学波形”は、論理状態スイッチングなどの、電気的波形の周期的変化を経験している個々の素子からの光学発光の時間依存性を指す。MOS回路の一般的なケースでは、光は主に個々の素子が飽和状態のときに発光される。現在の検出器では時間変化が無く、ほとんど平均電流を引き込まない正常動作のCMOS論理回路からの光発光は本質的に検出できない。しかしながら、個々の素子は多大な電流を引き込み、CMOSゲートが論理状態をスイッチするとき、非常に素早く飽和状態になりうる。本発明者は、正常動作のCMOS回路のスイッチング時の光学発光が光子のカウントにより検出可能であることを発見した。上述の議論と矛盾すること無しに、この光学発光がスイッチングと同時に発生するサブナノ秒のパルスであることが見い出される。このパルス発光は10GHzまでの、及び10GHzを越えるスイッチング速度における回路タイミングの有用な無接触プローブとなりうる。更に、発光される光子エネルギーは、半導体のエネルギー・ギャップよりも上または下のいずれかである。従って、測定はウエハの正面または背面のいずれかから実行されうる。ウエハの正面からの検出では、集積回路の素子により発光される光子が検出される。ウエハの背面からの検出では、基板を通過する波長の光子だけが検出される。理想的には背面検出では、現在実現されているようにウエハの背面が光学的に研磨され、ウエハが回路の電気特性を変えない範囲で、実用的に薄いべきである。

【0011】本発明の2つの実施例が述べられる。第1は、一度に集積回路の単一の素子だけから光学波形が獲得される実施例である。第2の実施例は、この発光を各画素における時間分解能で検出する多重チャネル手段であり、回路上の多くの素子のタイミングを同時に可能にする。

【0012】本発明は完全機能の集積回路からの測定を可能にする。特に、本発明は、完全機能の正常な集積回路に関する動的な情報（例えば論理遷移、論理タイミング障害、及び高周波障害）を獲得し、完全機能の正常な集積回路上の個々の素子パラメータに関する情報を獲得し、テストの目的のためだけに集積回路上に特殊な素子または構造が形成されることを要求せず、集積回路の正面または背面のいずれかからテストが可能で、レーザまたは電子ビームなどの外部プローブを要求せず、单一チャネルのバージョン、または同一チップ上の多数の素子

を同時にモニタできる多重チャネルのバージョンにより実現されうる。

【0013】更に、本発明は、通常のチップ・クロックとして同一のクロックを使用し、クロック周波数に対する制限を有さず、また10GHzを越えるスイッチング速度を測定することができ、テスト下の回路を破壊することなく、大気中でテストの実施が可能で、真空または固有の環境を要求しない。

【0014】本発明は光学顕微鏡及び検出器の組み合をつけを含み、検出器は、集積回路を構成する個々の素子により発光される光の光学波形または空間イメージを提供することができる。顕微鏡及び検出器は、テスト下の個々の素子または集積回路の全部または一部のイメージが、顕微鏡により検出器に提供されるように、組み合わせられる。光検出器からの空間及び時間情報が素子に関するスイッチング時間及び他の動的な情報を決定するために使用される。

#### 【0015】

【発明の実施の形態】図1は本発明に従い、光学像及び1つの光学波形を獲得するための装置を示す。図1の装置は暗空間1、暗空間1内に配置される顕微鏡2、顕微鏡2の結像面に配置される電荷結合素子(CCD)などのイメージング光学検出器3、テスト下の素子5に接近して配置される光学サンプリング・プローブ4、プローブ4からの光学発光を受光する光学検出器6、発光の光学像を提供できるイメージング検出器3の読み出し装置7、及び光学検出器6により検出される光学波形を提供できる光学検出器6の読み出し装置8を含む。光学プローブ4は、回路の單一部分からの光を受光するように顕微鏡2の任意の結像面内に交互に配置される。複数の光学プローブが使用されてもよい。評価される半導体集積回路5は、顕微鏡内に載置され、適切な電源によりパワー供給される。光学検出器6は理想的には单一の光子に感応し、例えば光子カウント用光電子増倍管または光子カウント用アバランシェ・フォトダイオード(APD)である。光子カウント検出器として、読み出し装置7は、Ch. aronneauらによる光子タイミングに関する文献(Res. Sci. Instrum. 63, 5315 (1992))で述べられるタイプである。他のタイプの読み出し装置も可能であるが、光子タイミング読み出し装置は单一の光子感度を保持し、光学波形を20psecの実証済みの分解能で決定することができる。Shahらによる(Appl. Phys. Lett. 50, 1307 (1987))で述べられるアップ・コンバージョンなどの、他の光学サンプリング技術、或いは浜松フォトニクス社により製造されるモデルC1587などのストリーク・カメラも使用されうる。

【0016】図1の装置の特定の実施例では、半導体集積回路が自由走行リング発振器であり、直列の47個のインバータ・ゲート、及び出力ゲートにおいてリング周波数を32分周するカウントダウン回路を含み、従来の

CMOS技術により形成される。イメージング検出器3は、CCD(EEV15-11で、-90°Cに冷却される)である。CCDの読み出し装置7はフォトメトリックスAT-200カメラ・システムである。光学プローブ4は分断された多重モード・ファイバであり、回路上の数μmの位置に保持され、光学検出器6は光子カウント用APD(EG&G SPCM-AQ)である。APDの光子カウント・パルス出力は、時間一振幅変換器(TAC)を始動するために使用され、時に時間一パルス波高変換器(TPHC)としても参照される。TACは、カウントダウン回路の出力から導出されるパルスにより停止される。TACのパルス波高出力は、多重チャネル・アライザ上で、APDにより検出される光子の時間応答を示すヒストグラムを生成する。こうした光子タイミング・システムにおいて一般的なように、カウントダウン回路の1サイクル当たり、1光子未満が検出されるので、ヒストグラムは繰り返しサンプリングされる波形と等価である。システムの時間応答は、約300psecのピコ秒レーザにより測定される。図2乃至図3は、CCDから獲得されうる情報のタイプを示し、外部照明下のリング発振器の像が図2に示され、正常動作のリング発振器からの周期的発光が図3に示される。図3の像に示される発光は、実際には一連のサブナノ秒のパルスを含むが、発光パルスの性質を観測するのに十分なように、迅速にCCDを読み出すこと、または増倍されたCCDをゲートすることは可能でない。図4乃至図6は、APDにより検出され、光子タイミング・システムにより解析される発光を示す。回路の3つの異なる部分からの発光が示され、それぞれプローブを回路の異なる素子上で移動することに対応する。図4乃至図6は、サブナノ秒パルス発光の性質を明らかにし、それにより集積回路の内部スイッチングを測定する本発明の能力を実証する。

【0017】図7は、本発明に従い、時間分解された光学像及び光学波形を獲得する装置を示す。図7の装置は暗空間1、暗空間1内に配置される顕微鏡2、イメージング・マイクロチャネルプレート光電子増倍管などのイメージング光学検出器3、別々の時間間隔に対応する発光の一連の光学像を提供できるイメージング検出器3の読み出し装置4を含む。或いは、読み出し装置4はイメージング光学検出器3により検出される、像の異なる部分から獲得される一連の光学波形を提供できる。評価される半導体集積回路5は、顕微鏡内に載置され、適切な電源によりパワー供給される。理想的には、イメージング光学検出器3は单一の光子をカウントすることができる。光子カウント検出器として、時間情報を提供する読み出し装置4の一部は、光子タイミングに関する文献で述べられるタイプである。アップ・コンバージョンなどの他の光学サンプリング技術、またはストリーク・カメラなども使用されうる。

【0018】図7の装置の特定の実施例では、図2乃至

図3に関連して上述されたのと同一の集積回路が使用される。ここで、イメージング光学検出器3は、Quantar Technology Inc. から販売されるイメージング・マイクロチャネルプレート光電子増倍管(MEPSICHRON)である。このタイプの光電子増倍管は、約100psの時間分解が可能であることが示されている。読み出し装置4は3次元多重チャネル・アナライザであり、これは各検出光子に対する位置(x, y)及び時間(t)の両方に関する情報を記憶する。図8乃至図10及び図11乃至図12は、この情報を表示する異なる様子を示す。図8は、全時刻に渡る集積回路からの発光の像を示し、図2に示されるのと類似の情報を提供する。図9は、回路の出力から導出されるトリガの3、33nsec後に、136psの時間間隔内に検出された光子に対応する像を示す。図10は、回路の出力から導出されるトリガの4、63nsec後に、136psの時間間隔内に検出された光子に対応する像を示す。任意の所望の時間間隔に対応して類似の像が生成されうる。各こうした像は、その時間間隔の間に、どの素子が論理状態を変化させているかを示す。なぜなら、CMOS回路の論理状態の変化は、ゲートの出力電圧をグラウンドからバイアス電圧に、またはバイアス電圧からグラウンドに変化する過程を含むからである。入力及び出力電圧が一定に保持されるとき、ごく微小な電流(観測可能な光発光を生成しない)がこれらの回路に流れれるが、スイッチングの間には、測定可能な電流がCMOS回路のn型及びp型MOSFETを通じて流れ、最も迅速な電圧変化時にピーク電流が流れれる。この電流パルスの間には、n型及びp型MOSFETに掛かる非ゼロの電圧が存在するので、光がチャネル内の活性化電子により発光され、これが図8乃至図10に示される。図8乃至図10に示されるような所与の瞬間ににおいて、スイッチング状態のCMOSゲートだけが電流を通過し、光を発光する。図11乃至図12は、回路上の個々の多くの素子に対する光学波形を示す。図11は、回路のリング発振器部分の多数のインバータからの光学波形を示し、図12は、回路のカウントダウン・セクションの様々な部分からの光学波形を示す。これらの光学波形は、半導体集積回路の完全な機能タイミング図を形成する。

**【0019】**図11の連続トレースは、上述の回路内の2番目に近い隣接ゲートのスイッチング遅延が、約0.180nsecであることを示す。類似の発光強度を示す2番目に近い隣接インバータと、非常に異なる発光強度を示す最隣接インバータによる強弱の輝線パターンは、最隣接ゲート間のスイッチング遷移が反対符号の電圧変化、すなわち一方のケースでは、バイアス電圧(V<sub>DD</sub>)からグラウンドへの変化(インバータ30、32、34、36、38からの時限6.5nsec乃至8.9nsecの強い輝線)、他方ではグラウンドからバイアス電圧への変化(インバータ31、33、35、37からの時限

2.5nsec乃至4.0nsecの強い輝線)を含み、2番目に近い隣接ゲートの遷移が同一符号の遷移を含むことを示す。これはリング発振器内の電気信号の時間依存性の分析に一致する。図12の連続トレースは、5つのステージ、すなわち上述の回路の32分周カウントダウン部分による正常な機能を示す。カウンタの毎回の増分が少なくとも1パルスの光を生成する。5つのステージの全てのゲートが31パルス後にバイアス電圧(すなわち[11111])になる。カウンタへの32番目のパルスが、カウンタを0(すなわち[00000])にリセットし、2分周、4分周、8分周、16分周及び32分周ステージが状態変化するとき、カウンタの各ステージにおいて、光パルスのカスケード列を生成する。同様に右側のトレースは、列内の8番目のパルスが到来するとき、カウントダウン・ステージのゲートがどのように振る舞うかを示す。以前の7パルスの到来を表す3つのゲート(状態00111)が、一方向にスイッチし、1つのゲートが他の方向にスイッチし、状態(01000)を生成する。

**【0020】**スイッチング遷移の間のCMOS回路からのトランジメント光発光の空間成分及び時間成分の解析は、回路内の個々のゲートの振舞いの詳細な特徴付けにおける最も高度な対比を提供するが、図1に示されるような静止画像からも、かなりな情報が獲得されうる。時間積分された発光強度はn型及びp型MOSFETのチャネル内のローカル電界に指數的に依存し、スイッチング周波数に直線的に依存する。光発光の強度は、局所電界及びスイッチング周波数の両方をモニタするために使用されうる。

**【0021】**以上、本発明は好適な実施例に関連して述べられてきたが、当業者には、本発明の趣旨及び範囲から逸脱すること無しに、様々な変更が可能であることが理解されよう。

**【0022】**まとめとして、本発明の構成に関して以下の事項を開示する。

**【0023】** (1) 集積回路の内部タイミングを測定する方法であって、時間変化する内部電流により動作する前記集積回路から、周期的な光学発光を獲得するステップと、前記発光を分析し、前記集積回路に関する情報を提供する分析ステップと、を含む、方法。

(2) 前記情報が光学像の形式である、前記(1)記載の方法。

(3) 前記情報が1つ以上の光学波形の形式である、前記(1)記載の方法。

(4) 前記分析ステップが、光学サンプリングにより前記発光を時間解析することにより達成される、前記(1)記載の方法。

(5) 前記光学サンプリングが光子タイミングである、前記(4)記載の方法。

(6) 前記光学サンプリングがアップ・コンバージョン

である、前記(4)記載の方法。

(7) 前記光学サンプリングがストリーク・カメラを用いて実行される、前記(4)記載の方法。

(8) 前記発光が前記集積回路の正面から測定される、前記(1)記載の方法。

(9) 前記発光が前記集積回路の背面から測定される、前記(1)記載の方法。

(10) 前記光学像が、別々の時間間隔を含む一連の像から形成される、前記(2)記載の方法。

(11) 前記光学像が、異なる外部刺激を受ける同一の前記集積回路の光学像と比較される、前記(2)記載の方法。

(12) 集積回路の内部タイミングを測定する装置であつて、時間変化する内部電流により動作する前記集積回路から、周期的な光学発光を獲得する手段と、前記発光を分析し、前記集積回路に関する情報を提供する分析手段と、を含む、装置。

(13) 前記獲得手段が光子カウント光電子増倍管を含む、前記(12)記載の装置。

(14) 前記獲得手段がアバランシェ・フォトダイオードを含む、前記(12)記載の装置。

(15) 前記獲得手段が電荷結合素子を含む、前記(12)記載の装置。

(16) 前記獲得手段がイメージング・マイクロチャネルプレート光電子増倍管を含む、前記(12)記載の装置。

(17) 前記分析手段が時間一振幅変換器及び多重チャネル・アナライザを含む、前記(12)記載の装置。

(18) 前記分析手段が時間一振幅変換器及び3軸多重チャネル・アナライザを含む、前記(12)記載の装置。

#### 【図面の簡単な説明】

【図1】本発明に従い、光学像及び1つの光学波形を獲得するための装置を示す図である。

【図2】図1の装置から獲得される、外部照明下のリン

グ発振器の光学像を示す図である。

【図3】図1の装置から獲得される、正常動作のリング発振器からの周期的発光の光学像を示す図である。

【図4】図1の装置から獲得される、回路のある素子からの発光の光学波形を示す図である。

【図5】図1の装置から獲得される、回路の別の素子からの発光の光学波形を示す図である。

【図6】図1の装置から獲得される、回路の更に別の素子からの発光の光学波形を示す図である。

【図7】本発明に従い、別々の時間間隔に対応する一連の光学像、及び複数の光学波形を獲得する装置を示す図である。

【図8】図7の装置において、全時刻に渡る集積回路からの発光の光学像を示す図である。

【図9】図7の装置において、トリガの3.33nsec後の13.6psecの時間間隔内に検出される光子に対応する光学像を示す図である。

【図10】図7の装置において、トリガの4.63nsec後の13.6psecの時間間隔内に検出される光子に対応する光学像を示す図である。

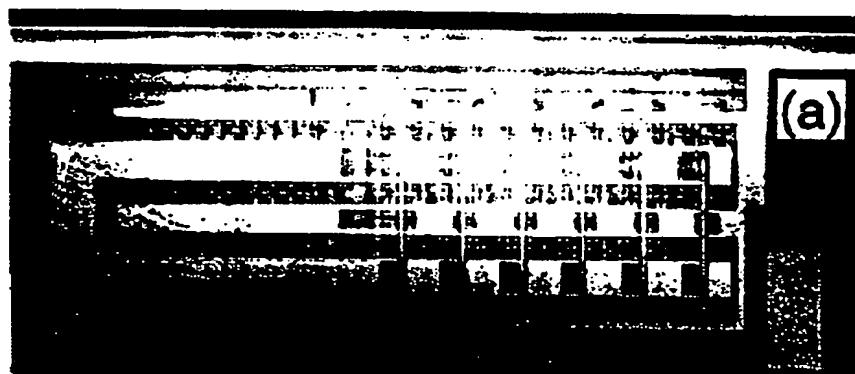
【図11】図7の装置において、集積回路のリング発振器部分の多数のインバータから同時に獲得される複数の光学波形を示す図である。

【図12】図7の装置において、集積回路のカウントダウン・セクションの様々な部分から同時に獲得される複数の光学波形を示す図である。

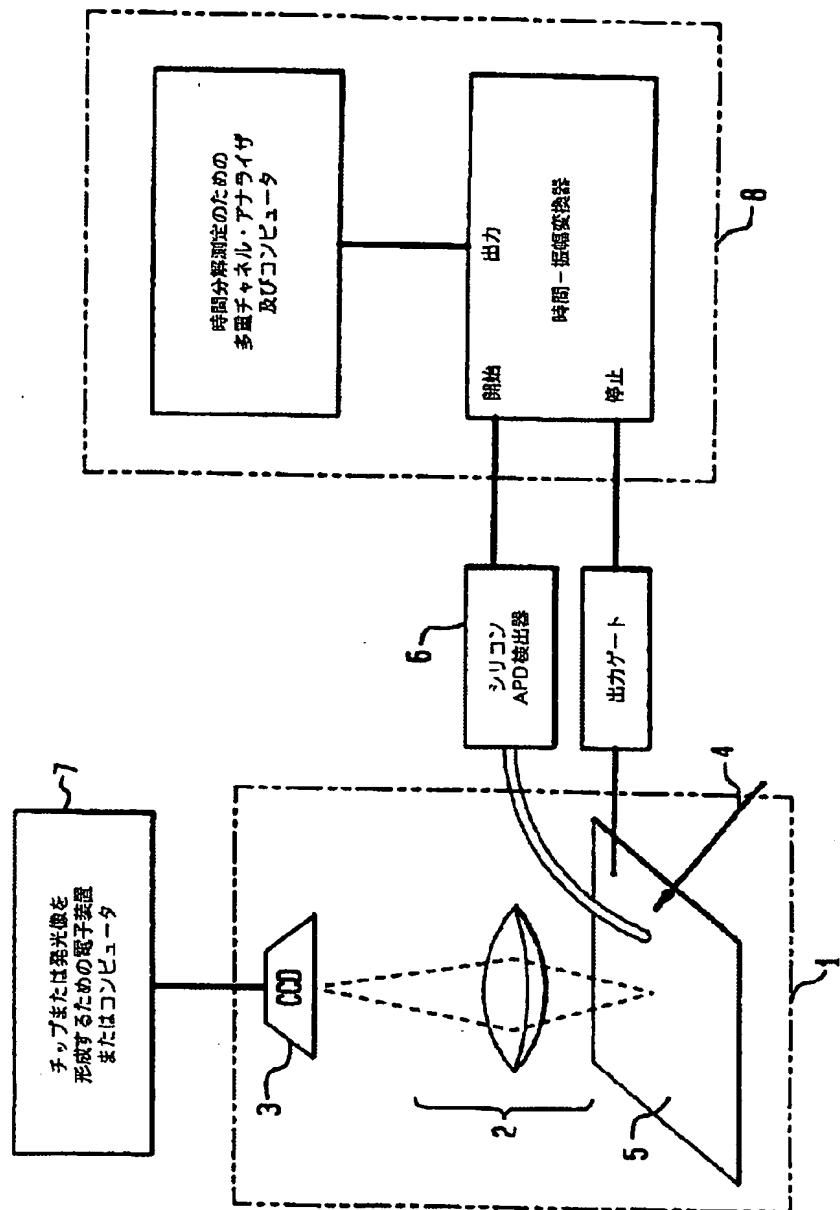
#### 【符号の説明】

- 1 暗空間
- 2 顕微鏡
- 3 イメージング光学検出器
- 4 光学サンプリング・プローブ
- 5 素子
- 6 光学検出器
- 7、8 読出し装置

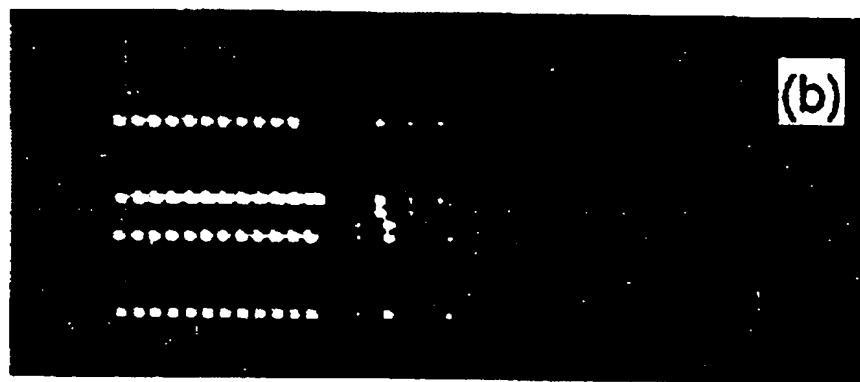
【図2】



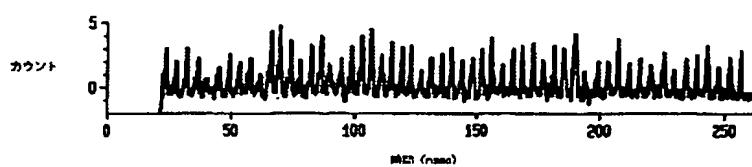
【図1】



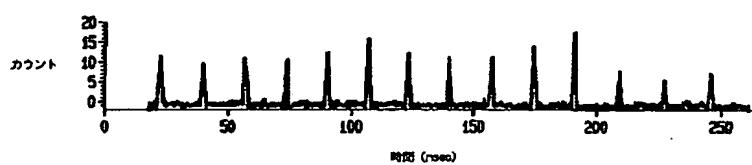
【図3】



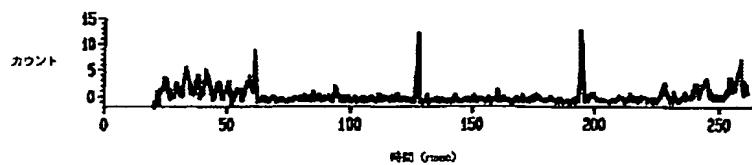
【図4】



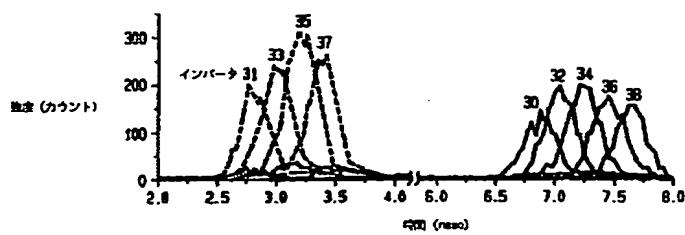
【図5】



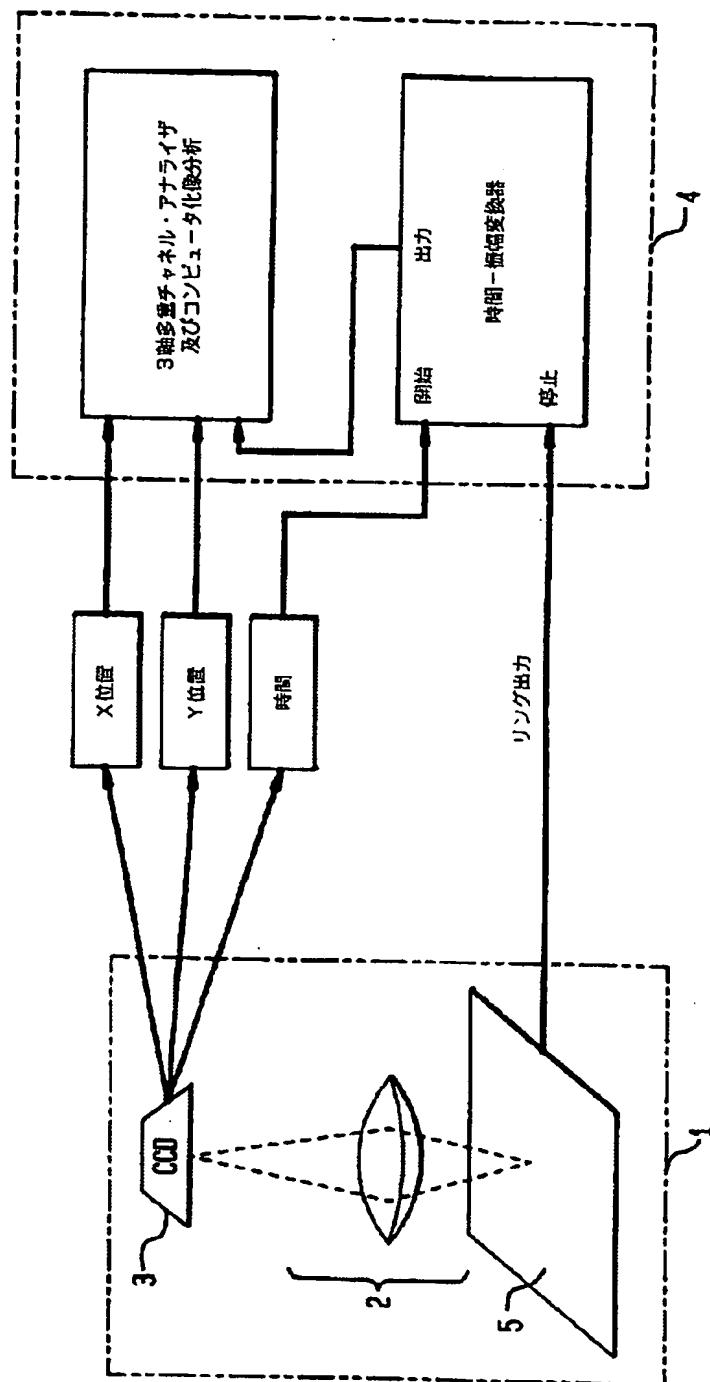
【図6】



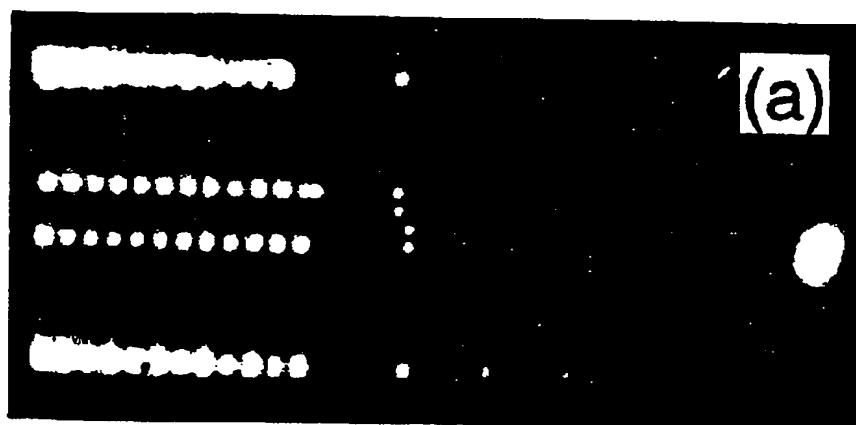
【図11】



【図7】



【図8】



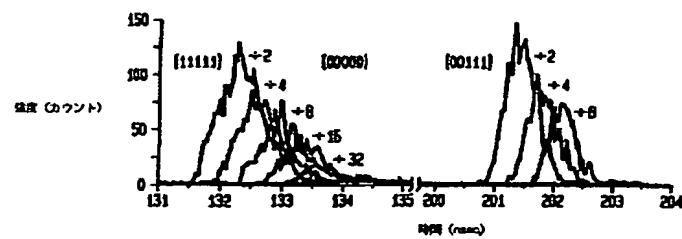
【図9】



【図10】



【図12】



---

フロントページの続き

(72)発明者 ジェームズ・チェンーシン・サン  
アメリカ合衆国10604、ニューヨーク州ホ  
ワイト・プレーンズ、サンセット・ドライ  
ブ 45

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**